

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-321768

(43)Date of publication of application : 03.12.1996

(51)Int.Cl.

H03K 19/0175
H01L 21/8238
H01L 27/092
H03K 17/687
H03K 19/017
H03K 19/0948

(21)Application number : 07-128653

(71)Applicant : FUJITSU LTD

(22)Date of filing : 26.05.1995

(72)Inventor : YAMADA HARUKI
MASUDA YUSUKE

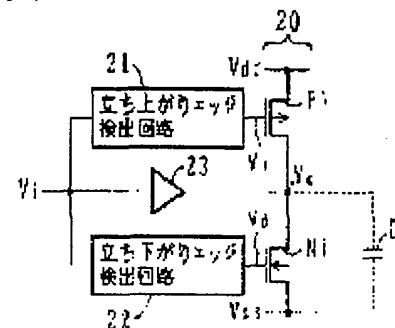
(54) BUFFER CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT USING THE CIRCUIT

(57)Abstract:

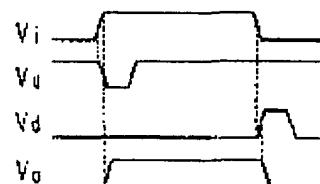
PURPOSE: To speed up the operation.

CONSTITUTION: An output circuit 20 has a series connection of a pMITS transistor(TR) p1 and an nMIS TR N1, a negative pulse is fed from a leading edge detection circuit 21 to a gate of the pMIS TR P1 to turn on the pMIS TR P1 and a current flows from a power supply line Vdd to a load C through the pmis TR P1. Furthermore, a positive pulse is fed from a trailing edge detection circuit 22 to a gate of the nMIS TR N1 to turn on the nMIS TR N1 and a current flows from the load C through the nMIS TR N1 to a power supply line Vss. While one of the pMIS TR P1 and the nMIS TR N1 is conductive, the other is nonconductive and since no through-current flows through the output current 20, the operation speed is high. When the TRs P1, N1 are nonconductive, an output level is kept constant by an output of a noninverting gate 23.

(A)



(B)



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-321768

(43)公開日 平成8年(1996)12月3日

(51)Int.Cl.	識別記号	序内整理番号	F I	技術表示箇所
H 03 K 19/0175			H 03 K 19/00	101 F
H 01 L 21/8238			19/017	
27/092			H 01 L 27/08	321 K
H 03 K 17/687	9184-5K		H 03 K 17/687	F
19/017			19/094	B

審査請求 未請求 請求項の数 7 OL (全 7 頁) 最終頁に続く

(21)出願番号 特願平7-128653

(22)出願日 平成7年(1995)5月26日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 山田 晴樹

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 増田 裕介

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 松本 良吉

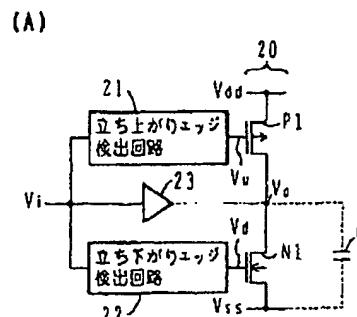
(54)【発明の名称】 バッファ回路及びこれを用いた半導体集積回路

(57)【要約】

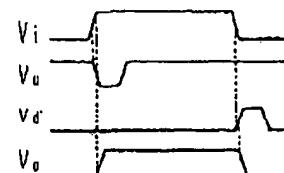
【目的】動作をより高速化する。

【構成】出力回路20は、pMISトランジスタP1とnMISトランジスタN1とが直列接続されており、pMISトランジスタP1のゲートに、立ち上がりエッジ検出回路21からの負パルスが供給されて、pMISトランジスタP1がオンし、電源供給線VddからpMISトランジスタP1を通して負荷Cへ電流が流れる。また、nMISトランジスタN1のゲートに、立ち下がりエッジ検出回路22からの正パルスが供給されて、nMISトランジスタN1がオンし、負荷CからnMISトランジスタN1を通して電源供給線Vssへ電流が流れれる。pMISトランジスタP1とnMISトランジスタN1とは、一方がオンのとき他方がオフになっており、出力回路20に負通電流が流れないので、動作が高速となる。トランジスタP1及びN1がオフのとき、非反転ゲート23の出力で出力電位が一定に維持される。

本発明の一態様のバッファ回路及びその動作を示す図



(B)



1

【特許請求の範囲】

【請求項1】 入力信号の立ち上がりと立ち下がりの一方のエッジを検出して第1パルスを生成する第1エッジ検出回路と、

該入力信号の立ち上がりと立ち下がりの他方のエッジを検出して第2パルスを生成する第2エッジ検出回路と、

第1a端が第1電源供給線に接続されゲートに該第1パルスが供給されて該第1a端と第2a端との間がオンにされる第1FETと、該第1電源供給線より電位が低い第2電源供給線に第1b端が接続され第2b端が該第2a端に接続されゲートに該第2パルスが供給されて該第1b端と該第2b端との間がオンにされる第2FETとを含む出力回路と、

該入力信号に応じて該第2a端の電位を維持するための補助ゲートとを有し、該第1エッジ検出回路、該第2エッジ検出回路及び該補助ゲートが該第1FET及び該第2FETより小さいサイズのFETで構成されていることを特徴とするバッファ回路。

【請求項2】 前記第1FETはpMISトランジスタであり、前記第2FETはnMISトランジスタであり、前記第1エッジ検出回路、前記第2エッジ検出回路及び前記補助ゲートがCMIS回路で構成されていることを特徴とする請求項1記載のバッファ回路。

【請求項3】 前記第1エッジ検出回路は、前記入力信号の立ち上がりエッジを検出し前記第1パルスとして負パルスを生成する立ち上がりエッジ検出回路であり、前記第2エッジ検出回路は、該入力信号の立ち下がりエッジを検出し前記第2パルスとして正パルスを生成する立ち下がりエッジ検出回路であり、前記補助ゲートは非反転ゲートであることを特徴とする請求項2記載のバッファ回路。

【請求項4】 前記第1エッジ検出回路は、前記入力信号の立ち下がりエッジを検出し前記第1パルスとして負パルスを生成する立ち下がりエッジ検出回路であり、前記第2エッジ検出回路は、該入力信号の立ち上がりエッジを検出し前記第2パルスとして正パルスを生成する立ち上がりエッジ検出回路であり、前記補助ゲートは反転ゲートであることを特徴とする請求項2記載のバッファ回路。

【請求項5】 前記第1エッジ検出回路は、前記入力信号を遅延させて論理レベルを反転させる遅延回路と、該入力信号と該遅延回路の出力との論理積を反転した信号を前記第1パルスとして出力する NANDゲートとを有し、

前記第2エッジ検出回路は、該遅延回路と、該入力信号と該遅延回路の出力との論理和を反転した信号を前記第2パルスとして出力するノアゲートとを有することを特徴とする請求項3記載のバッファ回路。

【請求項6】 前記第1エッジ検出回路及び前記第2エ

2

ッジ検出回路の一方は、前記第1電源供給線の電位と記第2電源供給線の電位との平均電位より低いしきい電位で前記入力信号の立ち上がりエッジを検出し、該第1エッジ検出回路及び該第2エッジ検出回路の他方は、該平均電位より高いしきい電位で前記入力信号の立ち下がりエッジを検出することを特徴とする請求項1記載のバッファ回路。

【請求項7】 請求項1乃至6のいずれか1つに記載のバッファ回路を有することを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、負荷駆動能力を増幅するためのバッファ回路及びこれを用いた半導体集積回路に関する。

【0002】

【従来の技術】 CMIS(CMOSを含む。)集積回路は、低消費電力という利点を有するが、MPUの動作の高速化に伴って、動作の高速化が要求されてきている。

図5に示すバッファ回路は、半導体集積回路内において負荷駆動能力を増幅するためのものであり、CMISインバータ10の前段に、CMISインバータ10よりもサイズの小さいCMISインバータ11が継続接続されている。CMISインバータ10の出力端は、例えば不図示の多数のFETのゲートに接続されており、その全負荷容量をCで表している。

【0003】 CMISインバータ11の出力が高レベルから低レベルに遷移すると、pMISトランジスタP1がオン、nMISトランジスタN1がオフとなり、電源供給線VddからpMISトランジスタP1を通じて負荷容量Cへ電流が流れ。CMISインバータ11の出力が低レベルから高レベルに遷移すると、pMISトランジスタP1がオフ、nMISトランジスタN1がオンとなり、負荷容量CからnMISトランジスタN1を通り電源供給線(グランド線)Vssへ電流が流れ。

【0004】

【発明が解決しようとする課題】 CMISインバータ11の出力が高レベルと低レベルとの間で遷移する際の中間電位の状態では、電源供給線VddからpMISトランジスタP1及びnMISトランジスタN1を通じて電源供給線Vssへ貫通電流が流れ、CMISインバータ10の動作が遅くなる原因となっている。

【0005】 本発明の目的は、このような問題点に鑑み、動作をより高速化することが可能なバッファ回路及びこれを用いた半導体集積回路を提供することにある。

【0006】

【課題を解決するための手段及びその作用効果】 第1発明のバッファ回路では、入力信号の立ち上がりと立ち下がりの一方のエッジを検出して第1パルスを生成する第1エッジ検出回路と、該入力信号の立ち上がりと立ち下

がりの他方のエッジを検出をして第2パルスを生成する第2エッジ検出回路と、第1a端が第1電源供給線に接続されゲートに該第1パルスが供給されて該第1a端と第2a端との間がオンにされる第1FETと該第1電源供給線より電位が低い第2電源供給線に第1b端が接続され第2b端が該第2a端に接続されゲートに該第2パルスが供給されて該第1b端と該第2b端との間がオンにされる第2FETとを含む出力回路と、該入力信号に応じて該第2b端の電位を維持するための補助ゲートとを有し、該第1エッジ検出回路、該第2エッジ検出回路及び該補助ゲートが該第1FET及び該第2FETより小さいサイズのFETで構成されている。

【0007】この第1発明では、入力信号が高レベルと低レベルの一方から他方へ遷移すると、第1エッジ検出回路からの第1パルスで出力回路の第1FETがオンにされ、これにより、第1電源供給線から第1FETを通って負荷へ電流が流れる。この際、出力回路の第2FETがオフであるので、第1FETから第2FETへの貫通電流が流れず、出力回路の出力の立ち上がりが高速となる。負荷に蓄積された電荷がリークしても、補助ゲートの出力でリーク電荷が補われて出力電位が高レベルに維持される。

【0008】また、入力信号が高レベルと低レベルの該他方から該一方へ遷移すると、第2エッジ検出回路からの第2パルスで出力回路の第2FETがオンにされ、これにより、負荷から第2FETを通って第2電源供給線へ電流が流れる。この際、出力回路の第1FETがオフであるので、第1FETから第2FETへの貫通電流が流れず、出力回路の出力の立ち上がりが高速となる。負荷の周囲からのリーク電荷が負荷へ流れ込んでも、補助ゲートの出力でこの電荷が排除されて出力電位が低レベルに維持される。

【0009】第1発明の第1態様では、上記第1FETはpMISトランジスタであり、上記第2FETはnMISトランジスタであり、上記第1エッジ検出回路、上記第2エッジ検出回路及び上記補助ゲートがCMIS回路で構成されている。この第1態様によれば、バッファ回路がCMIS回路であるので、消費電力を低減することができる。

【0010】第1発明の第2態様では、例えば図1に示す如く、上記第1エッジ検出回路は、入力信号Viの立ち上がりエッジを検出し上記第1パルスとして負パルスを生成する立ち上がりエッジ検出回路21であり、上記第2エッジ検出回路は、入力信号Viの立ち下がりエッジを検出し上記第2パルスとして正パルスを生成する立ち下がりエッジ検出回路22であり、上記補助ゲートは非反転ゲート23である。

【0011】第1発明の第3態様では、例えば図2に示す如く、上記第1エッジ検出回路は、入力信号Viの立ち下がりエッジを検出し上記第1パルスとして負パルス

を生成する立ち下がりエッジ検出回路22であり、上記第2エッジ検出回路は、入力信号Viの立ち上がりエッジを検出し上記第2パルスとして正パルスを生成する立ち上がりエッジ検出回路21であり、上記補助ゲートは反転ゲート24である。

【0012】第1発明の第4態様では、例えば図3に示す如く、上記第1エッジ検出回路は、入力信号Viを遅延させて論理レベルを反転させる遅延回路27と、入力信号Viと遅延回路27の出力との論理積を反転した信号を上記第1パルスとして出力する NANDゲート25とを有し、上記第2エッジ検出回路は、遅延回路27と、入力信号Viと該遅延回路の出力との論理和を反転した信号を上記第2パルスとして出力するノアゲート26とを有する。

【0013】第1発明の第5態様では、上記第1エッジ検出回路及び上記第2エッジ検出回路の一方は、上記第1電源供給線の電位と記第2電源供給線の電位との平均電位より低いしきい電位で上記入力信号の立ち上がりエッジを検出し、該第1エッジ検出回路及び該第2エッジ検出回路の他方は、該平均電位より高いしきい電位で該入力信号の立ち下がりエッジを検出する。

【0014】この第5態様では、出力回路の出力の立ち下がり及び立ち上がりをさらに高速化することが可能となる。なお、通常のインバータ又はこれを複数段継続接続した従来のバッファ回路では、FETのしきい電位を調整しても、出力の立ち下がり又は立ち上がりの一方しか高速化することができない。第2発明の半導体集積回路では、上記いずれかのバッファ回路を有する。

【0015】このバッファ回路は、半導体集積回路内において、駆動能力が要求される回路、例えば、多数のフリップフロップのクロック入力端にクロックを供給するクロックバッファ回路や、外部回路を駆動する出力バッファ回路等として用いられ、半導体集積回路の高速動作が可能になる。

【0016】

【実施例】以下、図面に基づいて本発明の一実施例を説明する。図3は、図1(A)のバッファ回路の構成例を示す。NANDゲート25は、pMISトランジスタP2とpMISトランジスタP3とが並列接続され、nMISトランジスタN2とnMISトランジスタN3とが直列接続され、pMISトランジスタP2とnMISトランジスタN3のゲートが互いに接続されてNANDゲート25の一方の入力端となり、pMISトランジスタP3とnMISトランジスタN2のゲートが互いに接続されてNANDゲート25の他方の入力端となり、pMISトランジスタP2、P3及びnMISトランジスタN2のドレインが互いに接続されてNANDゲート25の出力端となっている。

【0017】ノアゲート26は、pMISトランジスタP4とpMISトランジスタP5とが直列接続され、n

MISトランジスタN4とnMISトランジスタN5とが並列接続され、pMISトランジスタP5とnMISトランジスタN5のゲートが互いに接続されてノアゲート26の一方の入力端となり、pMISトランジスタP4とnMISトランジスタN4のゲートが互いに接続されてノアゲート26の他方の入力端となり、pMISトランジスタP5、nMISトランジスタN4及びN5のドレインが互いに接続されてノアゲート26の出力端となっている。

【0018】 NANDゲート25及びノアゲート26の一方の入力端には信号Viが供給され、NANDゲート25及びノアゲート26の他方の入力端には信号Viを遅延回路27で遅延させた信号Vibが供給される。NANDゲート25及びノアゲート26の出力はそれぞれ信号Vu及びVdとして出力回路20のpMISトランジスタP1のゲート及びnMISトランジスタN1のゲートに供給される。

【0019】 遅延回路27は、CMISインバータ271～275が縦続接続され、CMISインバータ271の出力端がCMISインバータ28を介して出力回路20の出力端に接続されている。CMISインバータ271及び出力回路20の出力をそれぞれ信号Via及び信号Voとする。NANDゲート25と遅延回路27とで図1の立ち上がりエッジ検出回路21が構成され、ノアゲート26と遅延回路27とで図1の立ち下がりエッジ検出回路22が構成され、CMISインバータ271とCMISインバータ28とで図1の非反転ゲート23が構成されている。NANDゲート25、ノアゲート26、遅延回路27及びCMISインバータ28のトランジスタサイズは出力回路20のトランジスタサイズよりも小さい。

【0020】 次に、上記の如く構成されたバッファ回路の動作を説明する。図3は、この回路の動作を示すタイミングチャートである。最初、電位Vi及びVoが低レベル、電位Via及びVibが高レベルで、定常状態になっているとする。このとき、NANDゲート25は、pMISトランジスタP2及びnMISトランジスタN2がオン、pMISトランジスタP3及びnMISトランジスタN3がオフとなっており、電位Vuが高レベルでpMISトランジスタP1がオフになっている。ノアゲート26は、pMISトランジスタP5及びnMISトランジスタN4がオン、pMISトランジスタP4及びnMISトランジスタN5がオフとなっており、電位Vdが低レベルでnMISトランジスタN1がオフになっている。

【0021】 この状態から、電位Viが高レベルに遷移すると、NANDゲート25は、nMISトランジスタN3がオン、pMISトランジスタP2がオフとなり、電位Vuが低レベルに遷移してpMISトランジスタP1

ンジスタN5がオン、pMISトランジスタP5がオフとなり、電位Vdは低レベルを維持し、nMISトランジスタN1はオフのままである。したがって、電源供給線VddからpMISトランジスタP1を通って負荷容量Cへ電流が流れ、pMISトランジスタP1からnMISトランジスタN1への貯通電流は流れない。

【0022】 電位Viが高レベルに遷移してnMISトランジスタN3がオンになることにより電位Vuが低レベルに遷移するので、nMISトランジスタN3の(ゲート幅)／(ゲート長)を大きくしてnMISトランジスタN3のしきい電圧を下げれば、電位Vuの立ち下がり及び電位Voの立ち上がりをより高速にすることができる。

【0023】 次に、電位Viaが低レベルに遷移し、CMISインバータ28の出力が高レベルに遷移する。次に、電位Vibが低レベルに遷移し、これにより、NANDゲート25は、nMISトランジスタN2がオフ、pMISトランジスタP3がオンとなって、電位Vuが高レベルに遷移し、pMISトランジスタP1がオフになる。他方、ノアゲート26は、pMISトランジスタP4がオン、nMISトランジスタN4がオフになるが、pMISトランジスタP5がオフ、nMISトランジスタN5がオンであるので、電位Vdは低レベルを維持し、nMISトランジスタN1は依然オフのままである。したがって、pMISトランジスタP1とnMISトランジスタN1とが同時にオンになることはなく、出力回路20には貯通電流が流れない。

【0024】 NANDゲート25、ノアゲート26、遅延回路27及びCMISインバータ28のトランジスタサイズは出力回路20のトランジスタサイズよりも小さいので、NANDゲート25、ノアゲート26、遅延回路27及びCMISインバータ28の入力が中間電位の際にこれらに流れる貯通電流は無視できる。負荷容量Cに蓄積された電荷がリークしても、CMISインバータ28の出力が高レベルであるので、リーク電荷が補われて電位Voが高レベルに維持される。

【0025】 次に、電位Viが低レベルに遷移すると、NANDゲート25は、nMISトランジスタN3がオフ、pMISトランジスタP2がオンとなるが、pMISトランジスタP3がオン、nMISトランジスタN2がオフであるので、電位Vuは高レベルを維持し、pMISトランジスタP1はオフのままである。他方、ノアゲート26は、nMISトランジスタN5がオフ、pMISトランジスタP5がオンとなり、電位Vdは高レベルに遷移し、nMISトランジスタN1はオンになる。

したがって、負荷容量CからnMISトランジスタN1を通って電源供給線Vssへ電流が流れ、pMISトランジスタP1からnMISトランジスタN1への貯通電流は流れない。

【0026】 電位Viが低レベルに遷移してpMISト

ランジスタP5がオンとなることにより電位Vdが高レベルに遷移するので、pMISトランジスタP5の(ゲート幅)／(ゲート長)を大きくしてpMISトランジスタP5のしきい電圧を上げれば、電位Vdの立ち上がり及び電位Voの立ち下がりをより高速にすることができる。

【0027】次に、電位Viaが高レベルに遷移し、CMISインバータ28の出力が低レベルに遷移する。次に、電位Vibが高レベルに遷移し、これにより、 NANDゲート25は、nMISトランジスタN2がオン、pMISトランジスタP3がオフになるが、pMISトランジスタP2がオン、nMISトランジスタN3がオフであるので、電位Vuは高レベルを維持し、pMISトランジスタP1は依然オフのままである。他方、ノアゲート26は、pMISトランジスタP4がオフ、nMISトランジスタN4がオンとなり、電位Vdは低レベルに遷移し、nMISトランジスタN1はオフになる。したがって、pMISトランジスタP1とnMISトランジスタN1とが同時にオンになることはなく、出力回路20には負通電流が流れない。

【0028】負荷容量Cに、周囲からのリーク電荷が流れ込んでも、CMISインバータ28の出力が低レベルであるので、この電荷が排除されて電位Voが低レベルに維持される。なお、本発明には外にも種々の変形例が含まれる。例えば、図3のバッファ回路の入力端にCMISインバータを1個接続すれば、図2のバッファ回路の構成例となる。また、図3において、 NANDゲート25及びノアゲート26の替わりにそれぞれアンドゲート

及びオアゲートを用い、CMISインバータ28の入力端をCMISインバータ271の出力端に接続する替わりにバッファ回路の入力端に接続すれば、図2のバッファ回路の他の構成例となる。

【図面の簡単な説明】

【図1】本発明の一態様のバッファ回路及びその動作を示す図である。

【図2】本発明の他の態様のバッファ回路及びその動作を示す図である。

【図3】図1(A)のバッファ回路の構成例を示す図である。

【図4】図3の回路の動作を示すタイミングチャートである。

【図5】従来のバッファ回路を示す図である。

【符号の説明】

10 10, 11, 24, 271~275, 28 CMISインバータ

20 出力回路

21 立ち上がりエッジ検出回路

22 立ち下がりエッジ検出回路

23 非反転ゲート

25 ナンドゲート

26 ノアゲート

27 遅延回路

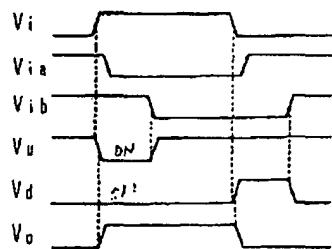
P1~P5 pMISトランジスタ

N1~N5 nMISトランジスタ

C 負荷容量

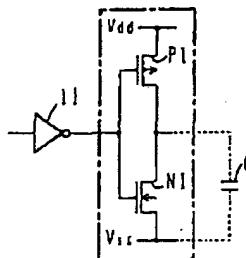
【図4】

図3の回路の動作を示すタイミングチャート



【図5】

従来のバッファ回路

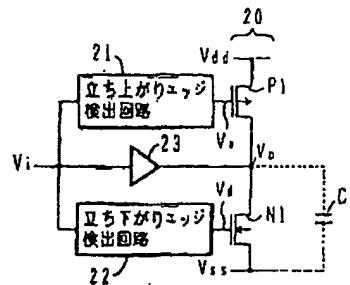


近江井

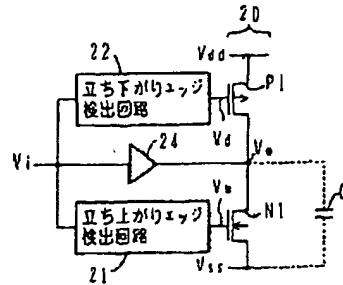
【図1】

本発明の一態様のバッファ回路及びその動作を示す図

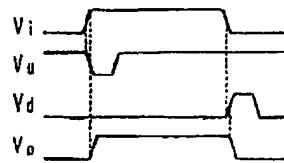
(A)



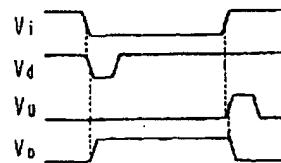
(A)



(B)

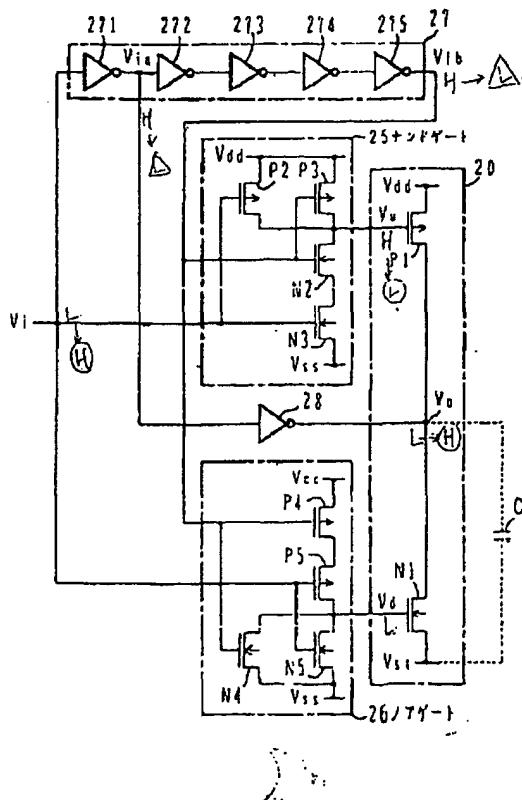


(B)



【図3】

図1(A)のバッファ回路の構成例を示す図



フロントページの続き

(51) Int.Cl.⁶
H 03 K 19/0948

識別記号 廣内整理番号 F 1

技術表示箇所